

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-096747

(43)Date of publication of application : 14.04.1989

(51)Int.Cl.

G06F 12/14

(21)Application number : 62-255180

(71)Applicant : HITACHI LTD

(22)Date of filing : 09.10.1987

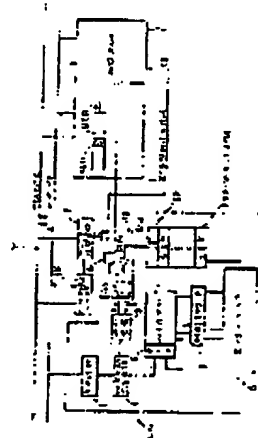
(72)Inventor : KANEKO SUSUMU
KURAKAZU KEIICHI

(54) DATA PROCESSOR

(57)Abstract

PURPOSE: To avoid the read of data in a user state and to recover the broken data when an exception is processed by securing such a condition where a CPU uses a RAM in a supervisor state and holds the data after setting an access inhibiting state at a newly set flag or a register.

CONSTITUTION: A microprocessor is set under an access usable state when an access level designating bit is set at '1' in a control register MCR. Then an address in an address space of a built-in RAM 11 is delivered onto an address bus 21 in case the bit S/U of a status register is set at '0' in a CPU and in user state. At the same time, a coincidence signal C is delivered from an address comparing circuit 17. Thus, the output of AND gates G1 and G2 are set at H levels. These output signals are supplied to an exception processing circuit 8 as the access violation signals AV.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

訂正有り

⑨日本国特許庁(JP)

⑨特許出願公開

⑨公開特許公報(A) 平1-96747

⑨Int.Cl.⁴

識別記号

庁内整理番号

⑨公開 平成1年(1989)4月14日

G 06 F 12/14

310

A-7737-5B

審査請求 未請求 発明の教 1 (全8頁)

⑨発明の名称 データ処理装置

⑨特 願 昭62-255180

⑨出 願 昭62(1987)10月9日

⑨発 明 者 金 子 進 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑨発 明 者 倉 員 桂 一 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑨出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑨代 理 人 弁理士 大日方 富雄

明 細 書

1. 発明の名称

データ処理装置

2. 特許請求の範囲

1. 与えられたすべての命令と内部レジスタを使用可能な上位動作モードと、特定の命令と内部レジスタが使用不能な下位動作モードのいずれか一方の状態で動作し、中央処理部に設けられた状態レジスタにその動作状態が反映されるようにされたデータ処理装置であって、下位動作モードにおいて中央処理部がメモリを使用することができるか否かを示すフラグもしくはレジスタと、このフラグもしくはレジスタの内容と上記中央処理部内の状態レジスタの内容に基づいてメモリが使用可能か否か判定するアクセスレベル判定回路とが設けられてなることを特徴とするデータ処理装置。

2. 上記フラグもしくはレジスタは、上位動作モードにおいてのみ使用可能な命令によって設定が行なえるように構成されてなることを特徴とする特許請求の範囲第1項記載のデータ処理装置。

3. 上記アクセスレベル判定回路によりアクセスレベル違反が検出されたとき、上記メモリの選択信号が無効状態にされることを特徴とする特許請求の範囲第1項もしくは第2項記載のデータ処理装置。

4. 上記メモリは、中央処理部と同一の半導体チップ上に形成されたRAMであることを特徴とする特許請求の範囲第1項、第2項もしくは第3項記載のデータ処理装置。

5. 上記RAMは、中央処理部の汎用レジスタ部を構成するメモリであることを特徴とする特許請求の範囲第4項記載のデータ処理装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、データ処理技術さらには上位動作モードと下位動作モードを有するデータ処理装置に適用して特に有効な技術に関し、例えばマイクロコンピュータにおけるメモリの制御方式に利用して有効な技術に関する。

〔従来の技術〕

特開平1-96747 (2)

従来、例えば【特】日立製作所製16ビットマイクロプロセッサHD68000のように、プログラムの実行状態として、スーパーバイザ状態と呼ばれる動作モードと、ユーザ状態と呼ばれる動作モードを有し、2つの状態のうち常にいずれか一方の状態で作動するようにされたものが提供されている(【特】日立製作所 1984年9月発行「HMCS 68000 日立マイクロコンピュータシステム HD68000, HD68000Y, HD68000PHD, 68000PS MPU (Micro Processing Unit)」第52頁参照)。

上記スーパーバイザ状態はプログラム実行状態のうち上位の状態であり、CPU(中央処理部)は全ての命令を使用し、全てのレジスタをアクセスすることができる。また、ユーザ状態はプログラム実行状態のうち下位の状態であり、CPUはシステムに重大な影響を与える命令やレジスタを使用することができない。

このように、2つのプログラム実行状態を持つ

ことによりマイクロプロセッサは、マルチタスク処理等を効率良く実行することができる。

なお、上記2つのプログラム実行状態を持つマイクロコンピュータでは、通常CPU内部のステータスレジスタにスーパーバイザ状態かユーザ状態を示すビットが設けられ、現在のプログラム実行状態を示すようにされている。

【発明が解決しようとする問題点】

しかしながら、2つのプログラム実行状態を有するマイクロプロセッサに、例えばRAMのようなデータアクセスの可能なデバイスを内蔵した場合、以下のような問題が発生する。

すなわち、内蔵RAM上をCPUがスーパーバイザ状態でデータ領域として使用した場合、同領域をユーザ状態のときにCPUが誤ってアクセスすると、重要なデータが破壊されてしまう恐れがあるというものである。

この発明は上記のような問題点に着目してなされたもので、スーパーバイザ状態とユーザ状態の2つのプログラム実行状態を有するマイクロコンピ

ュータにおいて、例えばスーパーバイザ状態で使用したRAM領域がユーザ状態で不当にアクセスされて重要なデータが破壊されるのを防止し、システムの信頼性を向上させることにある。

この発明の簡明ならびにその他の目的と新規な特徴については、本明細書の記述および添付図面から明らかなるであろう。

【問題点を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、CPUがスーパーバイザ状態で使用したRAM領域をユーザ状態で使用できるか否かを示すフラグもしくはそのようなビットを有するレジスタと、このフラグもしくはレジスタの内容とステータスレジスタのスーパーバイザ/ユーザ状態指示ビットの内容に基づいてCPUがユーザ状態でRAMを不当にアクセスしたか否かを判定する判定回路とを設け、アクセス違反を起こした場合、違反信号をCPUに送ったりRAMの選択信号をディセーブル(無効状態に変化)させるように

するものである。

【作用】

上記した手段によれば、CPUがスーパーバイザ状態でRAMを使用し、そのデータを保持したい場合には新たに設けたフラグもしくはレジスタに、アクセスを禁止する状態をセットすることにより、自動的にユーザ状態での対応するRAMのアクセスを禁止して重要なデータの破壊や読み出しを防止し、あるいは例外処理等により破壊されたデータの修復を行なえるようにして、システムの信頼性を向上させるという上記目的を達成することができる。

【実施例】

第1図には、本発明を、内蔵RAMを有するマイクロプロセッサに適用した場合の一実施例が示されている。

特に制限されないが、第1図に示されている各回路ブロックは単結晶シリコン基板のような一個の半導体チップ上において形成される。

この実施例のマイクロプロセッサは、マイクロ

特開平1-96747(3)

プログラム制御方式の中央処理部CPUを備えている。中央処理部はマイクロプログラムが格納されたマイクロROM(リード・オンリ・メモリ)1を有し、このマイクロROM1は、マイクロアドレスデコーダ2によってアクセスされ、マイクロプログラムを構成するマイクロ命令が順次読み出される。

マイクロアドレスデコーダ2には、命令レジスタ3にフェッチされたマクロ命令のオペレーションコードに基づいてマイクロアドレス発生回路4において発生されたアドレスが供給され、これをデコードすることによって、そのマクロ命令を実行する一連のマイクロ命令群の最初の命令が読み出され、制御用デコーダ5によってデコードされて各種レジスタや演算処理ユニット(ALU)等からなる実行ユニット6等に対する制御信号が形成される。マクロ命令に対応する一連のマイクロ命令群のうち2番目以降のマイクロ命令は直前の読み出されたマイクロ命令のネクストアドレスフィールドのコードがマイクロアドレスデコーダ2

に供給されることにより、前のマイクロ命令中のネクストアドレスとマイクロアドレス発生回路4から供給されるアドレスとに基づいて読み出される。

さらに、CPU内には内部制御状態を示すステータスレジスタSRやシステムスタックポインタSSP、例外処理用ベクタを再配置可能にするエクセプションベクタベースレジスタEBR等からなるコントロールレジスタ群7が設けられている。

また、この実施例のマイクロプロセッサには、CPUの作業エリアとなる内蔵RAM11の他、特に制限されないが、リフレッシュ制御やチップ選択制御、ウェイト状態制御等を行なうメモリコントロール回路12が同一チップ上に形成されており、これらの回路およびCPUは、アドレスバス21およびデータバス22を介して互いに接続されている。

さらに、この実施例のマイクロプロセッサには、上記内蔵RAM11のアドレス空間を設定するアドレス設定レジスタ16と、アドレスバス21上

のアドレスとアドレス設定レジスタ16に設定されたアドレスを比較して、発生したアドレスが内蔵RAMをアクセスするものか否かを判定するアドレス比較回路17と、このアドレス比較回路17から出力される一致信号Cを一方の入力信号とするANDゲートG₁およびCPU内のステータスレジスタSRのスーパーバイザ/ユーザ状態を示すビットS/Uの状態信号をインバータINV₁で反転した信号と上記ANDゲートG₁の出力信号を入力信号とするANDゲートG₂とからなるアクセスレベル判定回路13とが設けられている。なお、上記ビットS/Uは「0」のときにユーザ状態を、「1」のときにスーパーバイザ状態を示す。また、アドレス比較回路17から出力される一致信号Cは内蔵RAM11に対してはRAMの選択信号CSとして供給される。

そして、特に制限されないが、上記メモリコントロール回路12内に設けられているコントロールレジスタMCRの1ビットが、ユーザ状態で内蔵RAMをアクセス可能か否かを示すビットALD

として利用されており、このビットALDの状態信号が上記アクセスレベル判定回路13を構成するANDゲートG₂の他方の入力端子に供給されている。特に制限されないが、上記アクセスレベル判定ビットALDは、「0」のときにRAMがアクセス可能な状態であることを、そして「1」のときにアクセス不能であることをそれぞれ示す。

しかも、上記メモリコントロール回路12内のコントロールレジスタMCRは、CPU内のステータスレジスタSRと同じく、スーパーバイザ状態においてのみ使用可能な命令によってデータバス22を介して各ビットへの設定が行なえるように構成されている。

従って、この実施例のマイクロプロセッサでは、コントロールレジスタMCR内のアクセスレベル判定ビットが「1」に設定され、CPU内のステータスレジスタのビットS/Uが「0」でユーザ状態であることを示しているときに、アドレスバス11上に内蔵RAMのアドレス空間内のアドレスが出力されて、アドレス比較回路17からハイ

特開平1-96747 (4)

レベルの一致信号Cが出力されると、ANDゲートG₂の出力がハイレベルになる。これによって、ビットS/Uの状態信号を反転した信号を入力とするANDゲートG₂の出力がハイレベルに変化される。この出力信号はCPUの例外処理回路8に対してアクセス違反信号AVとして供給される。

これによって、CPUは内蔵RAMが不当にアクセスされたことを知り、例えば、マイクロアドレス発生回路4を制御して対応する例外処理へ移行するためのトラップルチーンをマイクロROM1から呼び出して、データを修復するための例外処理等を実行し、アクセス前の状態に戻るができる。

なお、上記例外処理回路8には、ステータスレジスタSR内のスーパーバイザ/ユーザ状態の指示ビットS/Uからの信号が入力され、上記以外の特権違反に対する例外処理も実行できるようにされている。

このように、上記実施例では、内蔵RAMのアクセスレベル指定ビットALDの状態信号と、C

PU内のステータスレジスタSRのスーパーバイザ/ユーザ状態を示すビットS/Uの信号の状態に応じて内蔵RAMがアクセス可能か否かを区別して、アクセス違反信号を形成するようにされている。

第1表は、内蔵RAMをアクセスする場合そのアクセスが可能であるか否かを示す。

表 1

内蔵RAMの アクセスレベル	CPUの実行状態(S/Uビット)	
	ユーザ状態	スーパーバイザ状態
ユーザレベル可	○	○
ユーザレベル不可	x	○

○：アクセス可

x：アクセス不可

したがって、CPUはスーパーバイザ状態で内蔵RAMを使用し、その中のデータを保持したいときには、コントロールレジスタMCR内のアクセスレベル指定ビットALDに「1」を立ててからユーザ状態へ移行すればよい。このようにすると、ユーザ状態で内蔵RAMが使用されたときに、不当にRAMがアクセスされたことを知ることがで

きる。一方、内蔵RAMのデータが不要なときはアクセスレベル指定ビットALDを「0」にしておけば、ユーザ状態で自由に使用することができ、内蔵RAMの容量がたとえ小さくても有効利用が可能となる。ただし、上記アクセス違反信号AVは、マイクロアドレス発生回路4に供給する代わりに、CPU内のコントロールレジスタ群7の中の一つに違反があったか否かを示すビットを設け、そこに「1」をセットするようにしてもよい。

なお、アドレス設定レジスタ16として、内蔵RAMのアドレス範囲を示すアドレスの他に、内蔵RAMの一部の領域を指定できるレジスタを設けるようにしてもよい。このようにすると、スーパーバイザ状態で使用するエリアが内蔵RAMの一部であった場合に、その使用エリアについてのみユーザ状態でのアクセスを禁止することができる。また、上記実施例では、アクセスレベル指定ビットALDをメモリコントロール回路12内のコントロールレジスタMCRに設けているが、それに限定されず、アクセス禁止のための専用のフラグ

もしくはレジスタを設けるようにしてもよい。

しかも、そのレジスタはCPUの外でも内でもよく、また、ステータスレジスタその他CPU内のコントロールレジスタの空きビットを利用するようにしてもよい。

さらに、アクセスレベル指定ビットを有するレジスタは、これをリセット信号Rによってリセットもしくはセット状態に設定できるように構成しておくことによって、電源投入直後のイニシャライズ直前に、不当に内蔵RAMがアクセスされるのを防止することができる。

第2図には、本発明に係るマイクロプロセッサの第2の実施例が示されている。

上記第1の実施例では、CPUの作業エリアとなる内蔵RAMをユーザ状態で使用できないようにした場合について説明したが、この第2の実施例は、マルチタスク処理に使用されるレジスタバンクがRAMによって構成されている場合において、そのレジスタバンクをユーザ状態で使用したり使用できないようにしたりするものである。す

特開平1-96747(5)

なわち、RAMで構成された汎用レジスタ群14は、例えば各々が16本のレジスタからなる16個のレジスタバンクBN₀~BN₁₅を有しており、上記レジスタバンクBN₀~BN₁₅の中から一つを指定するためのレジスタバンク番号指定フィールドを有し、レジスタバンクの切換え制御等を司るバンクモードレジスタBMRがCPU内のコントロールレジスタの一つとしてレジスタ群7内に設けられている。そして、このバンクモードレジスタBMRの1ビットがアクセスレベル指定ビットALDとして使用され、このビットALDの状態信号が、第1図の実施例と同様に構成されたアクセスレベル判定回路13のANDゲートG₁に入力されている。

また、この実施例では、第1の実施例におけるアドレス設定レジスタ16やアドレス比較回路17が、汎用レジスタ群14やコントロールレジスタ群7の選択制御を行なうメモリコントロール回路12内に設けられており、アドレスバス21上のアドレスが汎用レジスタ群14のアドレス範囲

に入っていると、メモリコントロール回路12からアドレス一致検出信号Cが上記アクセスレベル判定回路13のANDゲートG₁に供給されるようになっている。他の構成は第1図の実施例と同様である。

この実施例においても、バンクモードレジスタBMR内のアクセスレベル指定ビットに「1」を設定しておくことにより、スーパバイザ状態で使用したレジスタバンクのユーザ状態におけるアクセスを禁止し、マルチタスク処理の切換えを円滑かつ安全に行なうことができる。

第3図には、本発明を適用したマイクロプロセッサの第3の実施例が示されている。

この実施例のマイクロプロセッサではアクセスレベル指定ビットALDを有するレジスタ18が新たに設けられているとともに、第1図の実施例と同様に構成されたアクセスレベル判定回路13から出力されるアクセス違反信号AVを用いて、内蔵RAM11に供給される選択信号CSを強制的にネゲートして、RAM11のアクセスそのも

のを禁止するようになっている。

すなわち、アドレス比較回路17から出力されるアドレス一致検出信号Cと、アクセスレベル判定回路13から出力されるアクセス違反信号AVをインバータINV₁で反転した信号とを入力信号とするANDゲートG₂が設けられ、このゲートG₂の出力が内蔵RAM11に対する選択信号CSとして供給されるようにされている。

従って、この実施例では、コントロールレジスタ18のALDビットに「1」が立っていると、アドレスバス21上にRAMのアドレス空間のアドレスが出力されても、内蔵RAM11のアクセスは行なわれぬ。これにより、スーパバイザ状態で使用したRAMのデータを保護することができる。

なお、第1図の実施例と同様に、アクセスレベル判定回路13から出力されるアクセス違反信号AVをCPUに供給して、アクセスレベル違反をCPUに知らせることにより、その修復および対策処理を行なうようにしてもよい。これにより、

より高いアクセス保護を行なうことができる。

さらに、内蔵RAM11の配置アドレスがそのマイクロプロセッサの持つアドレス空間内で自由に再配置できる機能を有さないマイクロプロセッサを構成する場合には、アドレス比較回路17を比較的回路構成の単純なデコード回路に置き替えることができる。アドレス比較回路17はアドレスバス21上のアドレスと内蔵RAM11の配置アドレスを常に比較しているため、その配置アドレスが変わっても完全に動作可能である。しかし配置アドレスが固定であるならばより回路規模の小さいデコード回路にて同一機能を有することが可能である。

なお、上記実施例では、内蔵RAMのアクセスレベルを設定するためのレジスタもしくはフラグを設け、プログラムによる制御を可能としたが、例えばマイクロプロセッサのピン数に余裕があれば、アクセスレベルを外部から設定するための端子を設けることにより、外部回路によるハードウェア制御も可能とすることができる。

特開平1-96747(6)

また、上記実施例では、内蔵RAMのデータ破壊の防止について説明したが、マイクロプロセッサに内蔵されているROM(リード・オンリ・メモリ)やPROM(プログラマブルROM)、素子消去型のEPROM(イレーサブルPROM)、電気的に書き込み可能なEEPROM(エレクトリカリーEEPROM)等にも本発明を適用することによりROMデータの秘密保護を図ることができる。

また、上記制御対象となるRAMは、内蔵RAMのみでなく、外付けRAMであってもよい。

以上説明したように上記実施例においては、CPUがスーパーバイザ状態で使用したRAM領域をユーザ状態で使用できるか否かを示すフラグもしくはそのようなビットを有するレジスタと、このレジスタの内容とステータスレジスタのスーパーバイザ/ユーザ状態指示ビットの内容とに基づいてCPUがユーザ状態でRAMを不当にアクセスしたか否かを判定する判定回路とを設け、アクセス違反を起こした場合に、違反信号をCPUに送った

りRAMの選択信号をネグート(無効状態に変化)させるようにしたので、CPUがスーパーバイザ状態でRAMを使用し、そのデータを保持したい場合には新たに設けたフラグもしくはレジスタに、アクセスを禁止する状態がセットされることにより、自動的にユーザ状態での対応するRAMのアクセスが禁止されるという作用により、重要なデータの破壊や読み出しを防止したり、例外処理等により破壊されたデータの修復が行なえるようになり、これによって、システムの信頼性が大幅に向上されるという効果がある。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例ではRAMのアクセスレベルを示すレジスタもしくはフラグを設け、その状態に応じて内蔵RAMをスーパーバイザ状態のみあるいはスーパーバイザ状態とユーザ状態とで使用できるようにしているが、同一のアドレス空間を

有する内蔵RAMを2つ設け、アクセスレベルを示すレジスタの内容に応じていずれか一方のRAMをアクセス可能にして、スーパーバイザ状態で使用したRAMのユーザ状態でのアクセスを回避してRAMのデータを保護するようにしてもよい。ただし、実施例のように内蔵RAMをスーパーバイザ状態とユーザ状態で共用するようにした方がメモリの使用効率は良い。

以上の説明では主として本発明者によってなされた発明をその主旨となった利用分野であるマイクロプロセッサに適用したものについて説明したが、この発明はそれには限定されず、同一チップ上にタイマやシリアル通信回路、DMAコントローラ等が搭載されてなるシングルチップマイコンやボード型のマイクロコンピュータその他データアクセスが行なわれる機能を有するデータ処理装置一般に利用することができる。

【発明の効果】

本願において図示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記

のとおりである。

すなわち、スーパーバイザ状態とユーザ状態の2つのプログラム実行状態を有するマイクロコンピュータにおいて、スーパーバイザ状態で使用したRAM領域がユーザ状態で不当にアクセスされて重要なデータが破壊されるのを防止し、システムの信頼性を向上させることができる。

4. 図面の簡単な説明

第1図は本発明をマイクロプロセッサに適用した場合の第1の実施例を示すブロック図、

第2図は本発明に係るマイクロプロセッサの第2の実施例を示すブロック図、

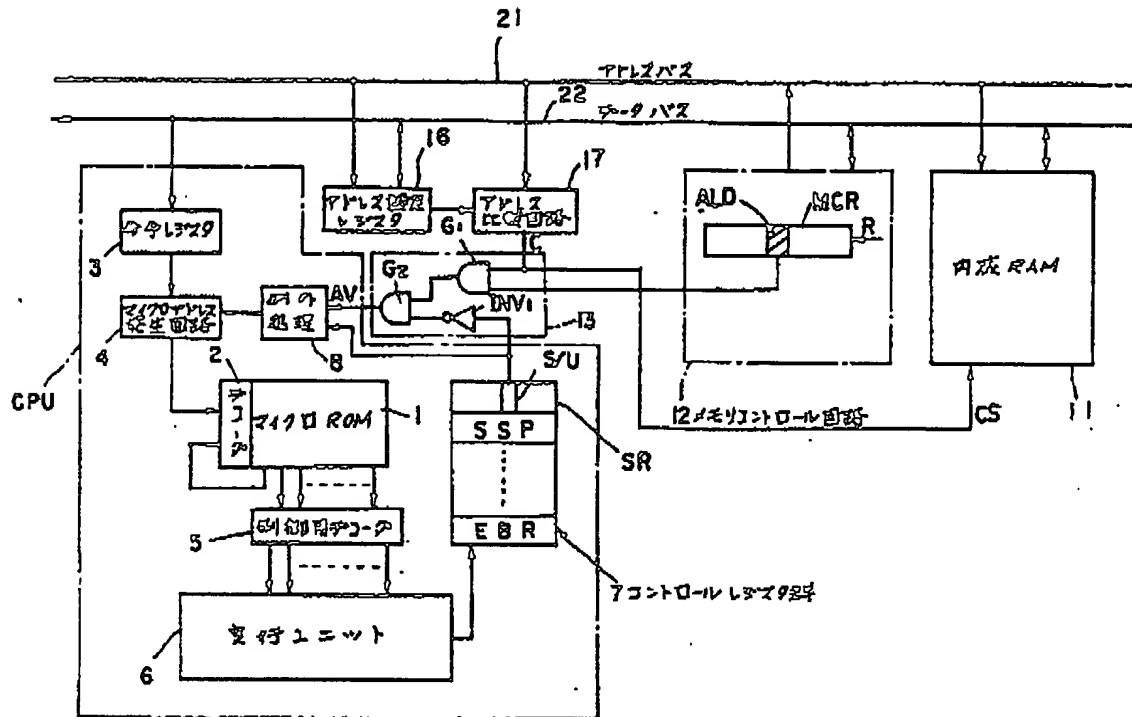
第3図は本発明に係るマイクロプロセッサの第3の実施例を示すブロック図である。

7...コントロールレジスタ群、13...アクセスレベル判定回路、16...アドレス設定レジスタ、17...アドレス比較回路、SR...ステータスレジスタ、S/U...スーパーバイザ/ユーザ状態指示ビット、ALD...アクセスレベル指定ビット、

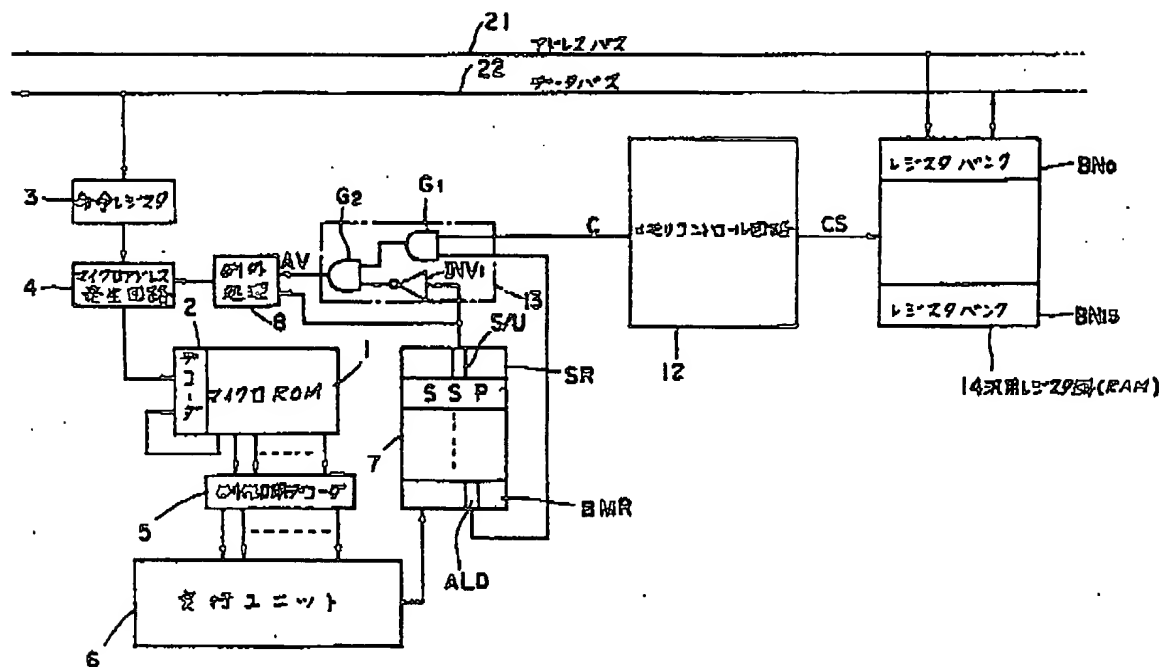


特開平1-96747 (7)

第 1 図

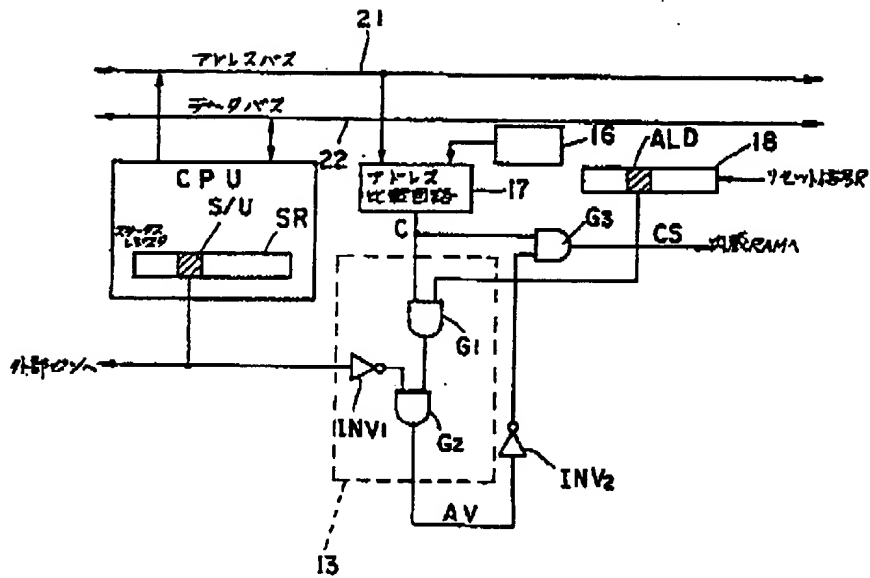


第 2 図



特開平1-96747(B)

第 3 図



特開平1-96747

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成6年(1994)9月9日

【公開番号】特開平1-96747

【公開日】平成1年(1989)4月14日

【年通号数】公開特許公報1-968

【出願番号】特願昭62-255180

【国際特許分類第5版】

G06F 12/14 310 A 9293-58

特許補正書 (自発)

平成 6年 9月18日

特許庁長官 殿

1. 事件の表示

昭和63年特許第255180号

2. 発明の名称

データ処理装置

3. 補正をする旨

特許との関係 特許出願人

住 所 〒161 東京都新宿区神田通四丁目6番地

名 称 (512)株式会社日京製作所

4. 代理人

住 所 〒162 東京都新宿区神田通5丁目8番地

神田通ビル5階 電話 03(3708)2811

氏 名 (3501) 弁護士 大日方 宣雄

5. 補正の対象

(1) 明細書の特許請求の範囲の欄

6. 補正の内容

(1) 特許請求の範囲を下記の通り補正する。

明細

特許請求の範囲

1. 与えられるすべての命令を実行可能な第1動作モードおよび実行可能な命令が制限された第2動作モードのいずれか一方の状態で動作する中央処理部と、データと保持可能な量のデータ用レジスタもしくはメモリが、1つの外部データノ线上に形成されてなるデータ処理装置であって、上記中央処理部は上記2つの状態のいずれかで動作しているかかすビットを有する状態レジスタを備えているとともに、上記第2動作モードにおいて上記中央処理部が上記データ用レジスタもしくはメモリを使用することができるか否かを検出するフラグもしくはそのようなビットを有する制御用レジスタが設けられ、上記状態レジスタのビットが第1動作モードであることを示しているときは上記フラグもしくは上記制御用レジスタのビットがデータ用レジスタもしくはメモリの使用が可能であることを示していることを条件に上記中央処理部は上記データ用レジスタもしくはメモリをアクセスすることが可能とされ、上記状態レジスタのビットが第1動作モードであることを示しているときは上記フラグもしくは上記制御用レジスタのビットのいかににかかわらず上記中央処理部は上記データ用レジスタもしくはメモリをアクセスすることが可能とされ、上記フラグもしくは上記制御用レジスタのビットは上記第1動作モードにおいてのみ上記中央処理部によって書き換え可能に構成されていることを特徴とするデータ処理装置。

2. 上記中央処理部の持つアドレス範囲内で上記データ用レジスタもしくはメモリのアドレス範囲を指定可能なアドレス指定レジスタと、アドレスバス上のアドレスと上記アドレス指定レジスタに設定されているアドレスとを比較するアドレス比較回路とを備え、該アドレス比較回路から出力される信号と上記状態レジスタのビットおよび上記フラグもしくは上記制御用レジスタのビットの状態とに基づいて上記データ用レジスタもしくはメモリの使用が可能であるか否かを判定するように構成されてなることを特徴とする特許請求の範囲の修正および明細書のデータ処理装置。

3. 上記アドレス比較回路から出力される信号は上記データ用レジスタもしくはメモリに対してアクセス許可信号として供給可能とされ、上記アドレス

特開平1-96747

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成6年(1994)9月9日

【公開番号】特開平1-96747
 【公開日】平成1年(1989)4月14日
 【年通号数】公開特許公報1-968
 【出願番号】特願昭62-255180
 【国際特許分類第5版】
 G06F 12/14 310 A 9293-5B

特許請求の範囲 (自記)

特許請求の範囲

平成 6年 9月18日

1. 事件の由来

昭和62年特許第255180号

2. 発明の名称

データ処理装置

3. 補正をする旨

本特許の図1 特許請求の範囲

住所 〒101東京都千代田区神田区神田四丁目6番地

名 称 (51)特 許 公 報 日 本 特 許 公 報

4. 代理人

居 所 〒162 東京都新宿区神田五丁目2番地
神田五丁目2番地 電話 03(2765)7811

氏 名 (5501) 外 堀 士 大 日 方 宣 雄

5. 補正の目的

(1) 明細書の特許請求の範囲の欄

6. 補正の内容

(1) 特許請求の範囲を別表のとおり補正する。

図1

特許請求の範囲

し、与えられたすべての命令を実行可能な第1動作モードおよび実行可能な命令が制限された第2動作モードのいずれか一方の状態で動作する中央処理部と、データと実行可能な状態のデータ用レジスタもしくはメモリが、1つの半導体チップ上に形成されてなるデータ処理装置であって、上記中央処理部は上記2つの状態のいずれかで動作しているかを示すビットを有する状態レジスタを備えているとともに、上記第1動作モードにおいて上記中央処理部が上記データ用レジスタもしくはメモリを使用することができるかを示すフラグもしくはそのようなビットを有する制御用レジスタが設けられ、上記状態レジスタのビットが第1動作モードであることを示しているときは上記フラグもしくは上記制御用レジスタのビットがデータ用レジスタもしくはメモリの使用が可能であることを示していることを条件に上記中央処理部は上記データ用レジスタもしくはメモリをアクセスすることが可能とされ、上記状態レジスタのビットが第2動作モードであることを示しているときは上記フラグもしくは上記制御用レジスタのビットのいかににかかわらず上記中央処理部は上記データ用レジスタもしくはメモリをアクセスすることが可能とされ、上記フラグもしくは上記制御用レジスタのビットは上記第1動作モードにおいてのみ上記中央処理部によって書き換え可能に構成されていることを特徴とするデータ処理装置。

8. 上記中央処理部の持つアドレス空間内の上記データ用レジスタもしくはメモリのアドレス範囲を規定可能なアドレス範囲レジスタと、アドレスバス上のアドレスと上記アドレス範囲レジスタに設定されているアドレスとを比較するアドレス比較部とを備え、該アドレス比較部から出力される信号と上記状態レジスタのビットおよび上記フラグもしくは上記制御用レジスタのビットの状態とに基づいて上記データ用レジスタもしくはメモリの使用が可能であるかを判定するように構成されてなることを特徴とする特許請求の範囲第1項記載のデータ処理装置。

9. 上記アドレス比較部から出力される信号は上記データ用レジスタもしくはメモリに対してアクセス許可信号として供給可能にされるときに、上記アドレ